

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-221322

(43)Date of publication of application : 18.08.1995

(51)Int.Cl.

H01L 29/80
H01L 29/778
H01L 21/338
H01L 29/812
H01L 27/095

(21)Application number : 06-012390

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.02.1994

(72)Inventor : WADA YASUO

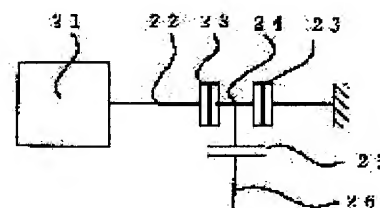
(54) CIRCUIT

(57)Abstract:

PURPOSE: To increase the voltage across quantum dots by providing a buffer element between an atomic-level circuit composed mainly of atomic thin lines on which atoms are arranged and an ordinary semiconductor circuit.

CONSTITUTION: The output 22 of an ART (atom relay transistor) circuit 21 is connected to the input. of an SET (single electronic transistor) composed of a tunnel junction 23, quantum dots (atomic thin line) 24, and a gate 25. When the capacitance of the quantum dots 24 of the SET circuit and charges of electrons are respectively represented by C and (e), the voltage V across the quantum dots 24 is expressed by formula I.

While the number of electrons outputted from the output 22 of the circuit 21 is partially one to several tens, the voltage across the quantum dots 24 expressed by formula I can be made sufficiently higher when the capacitance of the dots 24 is sufficiently reduced by making the size of the dots 24 sufficiently smaller.



$$V = e / 2 C$$

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-221322

(43) 公開日 平成7年(1995)8月18日

(51) Int. Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/80				
29/778				
21/338				
		9171-4M	H 0 1 L 29/ 80	A
		9171-4M		H
		審査請求 未請求 請求項の数4	O L (全 4 頁)	最終頁に続く

(21) 出願番号 特願平6-12390

(22) 出願日 平成6年(1994)2月4日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 和田 恭雄

埼玉県比企郡鳩山町赤沼2520番地 株式会

社日立製作所基礎研究所内

(74) 代理人 弁理士 小川 勝男

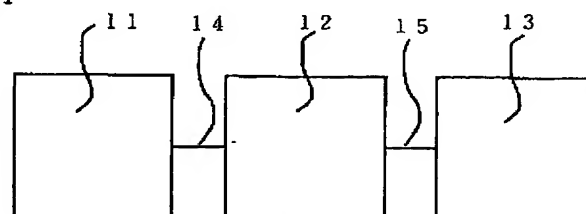
(54) 【発明の名称】 回 路

(57) 【要約】

【目的】 原子を配列した原子レベルデバイス回路からなる構造と、半導体回路とを電圧増幅回路あるいは電流増幅回路で接続した回路の提供。

【構成】 電圧増幅回路の一例としての単一電子トランジスタ (Single Electron Transistor: S E T) を用いた回路、また電流増幅回路の一例としてのなだれ増幅回路を用いて A R T 回路と半導体回路を接続する。

図 1



(2)

1

【特許請求の範囲】

【請求項1】原子を配列した原子細線を主な構成要素とする原子レベル回路と通常の半導体回路の間にバッファ素子が置かれたことを特徴とする回路。

【請求項2】該バッファ素子は電圧増幅回路あるいは素子であることを特徴とする請求項1記載の回路。

【請求項3】該バッファ素子は電流増幅回路あるいは素子であることを特徴とする請求項1記載の回路。

【請求項4】該バッファ素子は半導体超微細加工技術で形成されたことを特徴とする請求項1から3のいずれかに記載の回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は新規な回路に関し、さらに詳述すれば原子を配列した原子レベルデバイス回路からなる構造と、半導体回路とを接続するための高性能接続構造及びその形成方法に関するものである。

【0002】

【従来の技術】従来の半導体集積回路においては、半導体チップ相互間、あるいは他の回路素子との間の電氣的接続を取るために、パッケージにチップを乗せ、ワイヤボンディング、ハンダバンプ等を用いてパッケージとチップを接続していた（たとえば「集積回路パッケージング技術」、日経BP、1990年）。

【0003】

【発明が解決しようとする課題】しかしながらこれらの半導体集積回路素子構造では、チャンネル長約 $0.1\mu\text{m}$ に物理的な寸法の縮小限界があるため、チャンネル長約 $0.1\mu\text{m}$ 以下の寸法の素子を用いた情報処理装置用集積回路は物理的に実現が不可能である。したがってより高性能の情報処理装置を実現するためには、半導体デバイスより高性能の情報処理デバイスが必要である。

【0004】このような物理的な要請に基づいて、新原理に基づいた超微細スイッチング素子が本発明の発明者らにより提案された（特願平3-340649：和田他、ジャーナル オブ アプライド フィジックス、74巻7321頁（1993年）：Wada, et al., J. Appl. Phys., 74, 7321 (1993)）。これは原子を配列した原子細線と、スイッチング作用を担当するスイッチング素子（アトムリレートランジスタ）からなり、従来の半導体集積回路素子の $1/1000$ 以下の寸法と 1000 倍以上の高速動作特性を持つ。このアトムリレートランジスタを含む原子レベルのスイッチングデバイスを、情報処理装置の中心デバイスとして動作させるためには、外部から操作するための接続構造が必要である。

【0005】この接続構造は、アトムリレートランジスタの超高速動作速度に十分追随するものである必要がある。それに加えてこの接続構造は、人間とのインタフェースを担当するディスプレイや、外部回路を駆動する必

$$V = e / 2 C$$

2

* 要があり、このため、これらの駆動を司る半導体デバイスの電圧レベルに互換性のあるものである必要がある。

【0006】

【課題を解決するための手段】本発明は、原子レベルの超高速超高集積情報処理回路構造と半導体回路とを接続するための高性能接続構造を持つ回路及びその製造方法を提供するものである。接続構造としてのバッファ素子は原子レベル回路と半導体回路の間に少なくとも置かれ、原子レベル回路の入出力と半導体回路の入出力レベルを整合させる機能を有しているものである。

【0007】本発明はこのような現状の問題点を解決するためになされたものである。前述のように、原子を配列した原子細線と、スイッチング作用を担当するスイッチング素子（アトムリレートランジスタ：Atom Relay Transistor：ART）からなる原子レベルの超高速超高集積情報処理回路構造（以下、アトムリレートランジスタ回路、ART回路と略す）においては、電子数個で論理回路動作や記憶回路動作が行われる。一方、外部との信号の接続を司る従来の半導体デバイスを駆動するためには、数万個から数百万個の電子を流してやる必要がある。

【0008】したがって、ART回路からの出力信号を、半導体回路との中間に設置した接続回路により、超高速で数千倍から数百万倍に増幅する必要がある。しかも正確な情報処理を行うためには、テラヘルツ（Tera-Hertz）レベルの入力信号を実時間で信号処理を行い、出力する必要がある。

【0009】この目的を達成するために、本発明では、図1に示したように、ART回路11と半導体回路13の中間に設置した接続回路12において、電圧的に超高速信号増幅を行う手段と、電流的に超高速信号増幅を行う手段を開示する。図1に示した構成において、ART回路11と接続回路12の間の信号伝達線14は、ART回路11への電子数にして数個から数百個の入出力信号を伝達し、半導体回路13と接続回路12の間の信号伝達線15は、半導体回路13への電子数にして数万個から数百万個の入出力信号を伝達する。

【0010】

【作用】ART回路11と半導体回路13の中間に設置した接続回路12において、電圧的に増幅する手段としては、例えば単電子トランジスタ（Single Electron Transistor：SET）により構成された回路（SET回路）を用いることができる。ART回路の出力を電圧増幅するためにSET回路を用いることのできる理由をまず説明する。SET回路の量子ドットの容量をC、電子の電荷をeとすると、量子ドットの電圧Vは、次式で与えられる。

【0011】

(1)

(3)

3

したがって、SET回路を用いることにより、SETトランジスタの量子ドットの寸法を小さくして容量を十分小さくすれば、電子一個の入力により、式(1)により算出される電圧を半導体回路の入力として必要な数百mV以上とすることが可能である。このため、出力を半導体回路に入力し、さらに増幅して、人間とのインタフェースを駆動させることができる。この場合、接続回路として電圧増幅回路であれば、SET回路である必要は必ずしもない。

【0012】ART回路11と半導体回路13の中間に設置した接続回路12において、電流的に増幅する手段としては、たとえばなだれ増幅デバイス回路(Avalanche Amplification Device: AAD)により構成された回路(AAD回路)などの方式を用いることができる。例えば、ART回路の電子一個の出力をAAD回路に入力し、なだれ増幅作用により電子数を半導体回路駆動に必要な数まで増幅することにより、半導体回路の入力として用いることができる。この場合、接続回路として電流増幅回路であれば、ADD回路である必要は必ずしもない。

【0013】

【実施例】以下本発明を実施例の基づき詳細に説明する。

【0014】(実施例1)本実施例では、SET回路による電圧増幅の例を開示する。図2はART(アトミレートランジスタ)回路21の出力22を、トンネル接合23、量子ドット(原子細線)24、ゲート25からなるSET(単電子トランジスタ)の入力に接続した状態を示す。ART回路21の出力22から出力される電子は、一度に電子一個から数十個であるが、量子ドット24の寸法を十分に小さくし、容量を縮減すると、式(1)によって量子ドットの電圧を十分に大きくすることが可能になる。

【0015】本実施例では、量子ドットの寸法を1nmとし、この時の電圧上昇を500mVとすることができた。この電圧を、ゲート25により、容量結合的に取り出し、出力26を高電子移動度トランジスタ(High Electron Mobility Transistor: HEMT)からなる回路(HEMT回路)の入力として用い、さらに信号を増幅した。HEMTの出力を、シリコン集積回路によって駆動される表示素子に入力し、これらの回路全体でコンピュータを構成できた。

【0016】(実施例2)本実施例では、ARTの出力を、電流増幅する方式について開示する。図3は、ART回路31の出力32を、なだれ増幅装置の増幅機能を与える部分33に接続し、さらにこの増幅機能部分を電源34に接続し、ART回路31から入力された電子をなだれ増幅装置の増幅機能部分33で増幅して、出力35を経て半導体回路36に接続した状態を示す。

【0017】本実施例の構成では、なだれ増幅機能部分

4

における不感時間の短縮が増幅装置全体の性能を決めるため、最も重要な部分である。すなわち、該なだれ増幅装置の増幅機能部分33の不感時間が長いと、非常に早い周期で入力された場合に、その入力信号に出力が追従しなくなるからである。したがって、該増幅器の周波数応答を、十分に早くするため、増幅器の寸法を小さくする必要がある。本実施例では、増幅器のなだれ増幅機能部分の長さを0.1 μ mとして、1テラヘルツ(1THz)の速度を実現できた。

10 【0018】(実施例3)本実施例では、図3に示した該なだれ増幅装置の増幅機能部分33の構成例を示す。図4は、n型インジウムリン(InP)層42、44と、これに挟まれたp型インジウムリン層43、入力電極46、出力電極45、電源との接続電極41からなる該なだれ増幅装置の増幅機能部分33の構成を示す。図4において、n型インジウムリン層42と44の間には、電源との接続電極41により供給された電源電圧により、高い電界が印加されている。

20 【0019】したがって、入力電極46から入力されたART回路の出力信号は、p型インジウムリン層43に供給され、ここでなだれ増幅を受けて、増幅される。この電流増幅率は、n型インジウムリン層42と44の間に印加されている電界により変わるが、約百から百万倍の間で制御可能である。

【0020】前述した増幅器の応答時間に関与するなだれ増幅機能部分の長さは、図4においては、n型インジウムリン(InP)層42、44に挟まれたp型インジウムリン層43の幅に対応する。

30 【0021】尚、本実施例では、増幅用デバイスの材料として、インジウムリンを用いたが、他の化合物半導体によるデバイス、シリコン等の単体半導体によるデバイスでも同様な効果が得られる。この場合、該p型インジウムリン層43の厚さをできる限り薄くすることにより、良好な増幅特性が得られた。

【0022】本実施例では、分子線エピタキシ法によりn型インジウムリン基板上に成長させた厚さ20nmのp型インジウムリン層43を用い、印加電界を10⁶V/ μ mとしたとき、約10万倍という良好な増幅特性を得られた。

40 【0023】(実施例4)本実施例では、SETからなる電圧増幅装置の例を開示する。図5は、シリコン基板上にスパッタ法により形成した厚さ20nmのアルミニウム層を、電子線描画技術と微細エッチング技術によって加工し、量子ドット51、入力トンネル接合52、出力トンネル接合53およびゲート54からなるSETを形成した状態を示す。表面層を制御して酸化し、該アルミニウム層の表面を酸化物に変換して該量子ドットの寸法を縮小することも量子ドットの容量を削減するために有効である。

50 【0024】本実施例では、最終的に幅3nm、厚さ5

(4)

5

nmの量子ドットを形成することができた。これにより、最大周波数1テラヘルツ（1THz）、最大増幅率百万倍の電圧増幅装置を形成することができた。入力部分に信号反射を防止する回路などの低雑音化回路、出力部分に信号安定化回路等を置き、動作の安定化を図ることも有効であることは言うまでもない。

【0025】

【発明の効果】以上の実施例からも明らかなように、本発明によればART回路と半導体回路の間に接続回路として、電圧増幅回路あるいは電流増幅回路を挿入することにより、超高速、超高密度情報処理回路を実現可能になるため、本発明の工業的効果は大きい。

【図面の簡単な説明】

【図1】本発明の構成を示した概念図。

【図2】ARTの出力を、SET回路により、電圧増幅

6

する方式の例を示す図。

【図3】ARTの出力を、なだれ増幅回路により、電流増幅する方式の例を示す図。

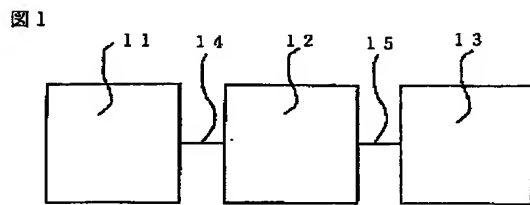
【図4】なだれ増幅回路の増幅機能部分の構成例を示す図。

【図5】SETによる電圧増幅回路の一実施例を示す図。

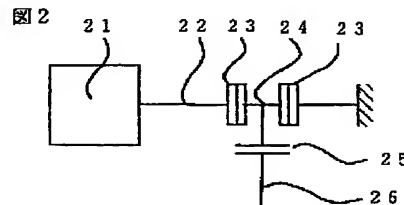
【符号の説明】

11、21、31：ART回路、12、36：半導体回路、13、：接続回路、14、15、22、26、32、35、41、45、46：入出力信号伝達線、23、52、53：トンネル接合、24、51：量子ドット、25、54：ゲート、33：増幅部、34：電源、42、43、44：増幅装置部分。

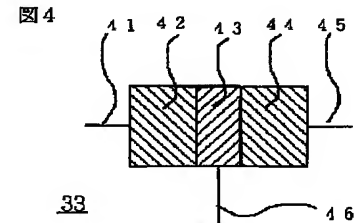
【図1】



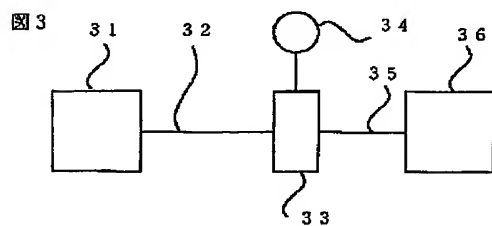
【図2】



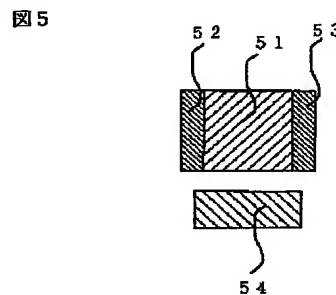
【図4】



【図3】



【図5】



フロントページの続き

(51)Int. Cl. 6

H01L 29/812

27/095

識別記号

庁内整理番号

FI

技術表示箇所

9171-4M

H01L 29/80

E